

ATTORNEY DOCKET NO. 5649-886

#3
56
10/26/01
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jung et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: INTEGRATED CIRCUIT MEMORY SYSTEMS HAVING PROGRAMMABLE
SIGNAL BUFFERS FOR ADJUSTING SIGNAL TRANSMISSION DELAYS AND
METHODS OF OPERATING SAME

August 28, 2001

Box PATENT APPLICATION
Commissioner for Patents
Washington, DC 20231



SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2000-50164, filed August 28, 2000.

Respectfully submitted,

D. Scott Moore
Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL920739855US

Date of Deposit: August 28, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.

Audra Wooten

Jc973 U.S. PTO
09/941091
08/28/01



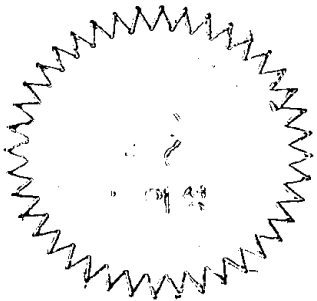
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 50164 호
Application Number

출원 년 월 일 : 2000년 08월 28일
Date of Application

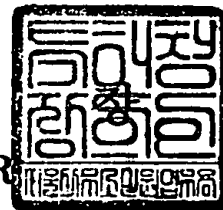
출원 인 : 삼성전자 주식회사
Applicant(s)



2000 년 11 월 23 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2000.08.28
【국제특허분류】	H01L
【발명의 명칭】	프로그램이 가능한 지연버퍼를 구비하는 반도체 메모리 장치 및 메모리 컨트롤러
【발명의 영문명칭】	Semiconductor memory device and memory controller having programmable delayed buffers
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	정태성
【성명의 영문표기】	JUNG, Tae Sung
【주민등록번호】	601118-1025817
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 19번지 청광아트 A동 202호
【국적】	KR

【발명자】**【성명의 국문표기】**

송원기

【성명의 영문표기】

SONG, Won Ki

【주민등록번호】

670815-1030831

【우편번호】

442-470

【주소】경기도 수원시 팔달구 영통동 969-1 벽적골 삼성아파트
926동 302호**【국적】**

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 이래호 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

13 면 13,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

23 항 845,000 원

【합계】

887,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

위상동기 루프나 지연동기 루프의 사용없이 메모리 장치의 위치에 따른 신호의 전달지연시간의 차이와 유사한 신호간의 스큐등을 감소시켜 높은 메모리 동작주파수 대역을 구현할 수 있는 반도체 메모리 장치, 메모리시스템 및 이의 방법이 제공된다. 상기 반도체 메모리 장치는 메모리 컨트롤러로부터 지연 제어정보를 수신하여 저장하는 지연 제어 레지스터, 상기 메모리 컨트롤러로부터 입력신호를 수신하여 지연시키는 입력버퍼부를 구비하고, 상기 입력버퍼부의 지연시간은 상기 지연 제어 레지스터의 출력신호에 응답하여 조절된다. 또한 상기 메모리 컨트롤러는 상기 반도체 메모리장치로 출력하는 출력버퍼부를 구비하고, 상기 출력버퍼부의 지연시간은 상기 지연 제어 레지스터의 출력신호에 응답하여 조절된다. 따라서 메모리시스템이나 특정 메모리 모듈상의 특정위치에 있는 메모리 장치와 메모리컨트롤러는 마치 포인트 대 포인트처럼 데이터를 입출력할 수 있어 높은 메모리 동작주파수 대역을 구현하는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

프로그램이 가능한 지연버퍼를 구비하는 반도체 메모리장치 및 메모리 컨트롤러
{Semiconductor memory device and memory controller having programmable delayed
buffers}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 메모리 컨트롤러와 메모리모듈간의 신호의 도달지연시간의 차이를 나타내는 도면이다.

도 2는 도달지연시간의 차이로 발생하는 스큐와 이로인한 유효 데이터창의 축소를 나타내는 타이밍 다이어그램이다.

도 3은 본 발명의 일실시예에 따른 메모리 시스템을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 메모리 컨트롤러를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 메모리장치를 나타내는 도면이다.

도 6은 종래의 기술과 본 발명의 일 실시예를 적용한 메모리 시스템의 유효데이터 창을 비교하는 타이밍 다이어그램이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 메모리 장치 및 이를 채용하는 시스템에 관한 것으로, 특히 프로 그램머블 지연 버퍼를 갖는 반도체 메모리 장치 및 메모리 컨트롤러의 입출력 장치에 관한 것이다.
- <9> 대부분의 메모리 시스템들은 여러개의 메모리 장치를 연결하여 사용하므로, 각 메모리 장치간의 신호전달시간은 각각의 메모리 장치들의 위치에 따라 다르고 또한 유사한 신호들간의 스큐(skew)의 발생으로 각 메모리 장치간의 신호전달시간은 다르다. 이러한 스큐는 최대 동작가능 주파수를 결정하는 유효 데이터 창(Valid data window)을 축소시키고, 설정시간(Setup time)과 유지시간(hold time)을 크게 증가시킨다.
- <10> 따라서 상기 스큐를 보상하기 위하여 종래의 메모리 장치 및 컨트롤러는 위상 동기 루프 (Phase Locked Loop; PLL) 또는 지연 동기 루프(delay Locked Loop; DLL)를 구비한다. 이것은 메모리 장치의 크기를 증가시킨다.
- <11> 또한 제조 프로세스(process), 전압 또는 온도의 영향을 덜 받으며 안정적이고 효과적인 PLL 또는 DLL의 설계는 메모리 장치의 개발에 어려움을 증가시킨다.
- <12> 도 1은 다수개의 메모리 장치가 장착된 다수개의 메모리 모듈간에 있어서, 각 모듈 간 또는 각 메모리 장치간의 신호의 도달 지연시간의 차이를 나타내는 개략적인 블록도이다. 도 2는 각 모듈간 또는 각 메모리 장치간의 도달 지연시간의 차이로 발생하는 스큐와 상기 스큐로 인한 유효 데이터 창이 축소되는 것을 나타내는 타이밍도이다.

- <13> 도 1을 참조하면, 메모리 컨트롤러(100)에 의하여 제어되는 다수개의 메모리 모듈들(100, 130 및 150)로 구성되는 메모리 시스템에 있어서, 상기 각각의 메모리모듈(100, 130 또는 150)과 상기 메모리컨트롤러(100)간의 신호의 전달시간은 상기 메모리 모듈들(100, 130 또는 150)의 위치에 따라 다르다.
- <14> 예컨대, 상기 메모리모듈(110)과 상기 메모리컨트롤러(100)간의 신호의 전달시간은 t_0 이고, 세번째 메모리모듈(150)과 상기 메모리 컨트롤러(100)간의 신호의 전달시간은 t_{10} 이다.
- <15> 하나의 메모리 모듈(110)에는 다수개의 메모리 장치(111, 113, 115 및 117)가 장착되어 있으므로, 상기 메모리 모듈(110)에 장착된 메모리장치(111, 113, 115 및 117)의 위치에 따라 상기 메모리컨트롤러(100)와 각각의 메모리 장치(111, 113, 115 또는 117)간의 신호의 전달시간이 다르다.
- <16> 예컨대 상기 메모리 장치(111)과 상기 메모리 컨트롤러(100)간의 신호의 전달시간은 t_1 이고, 메모리 장치(117)와 상기 메모리 컨트롤러(100)간의 신호의 전달시간은 t_4 이다.
- <17> 상기 메모리 컨트롤러(100)와 상기 각각의 메모리모듈(110, 130 또는 150)의 신호의 전달시간은 메모리모듈의 위치에 따라 다르며, 하나의 메모리모듈(110)상에서 상기 각각의 메모리장치(111, 113, 115 또는 117)의 위치에 따라 신호의 전달시간도 다르다.
- <18> 도 2를 참조하면, t_1 은 상기 메모리 컨트롤러 100와 각 메모리 모듈간(110, 130 및 150) 또는 각 메모리장치(111, 113, 115 및 117)간의 신호의 전달시간의 차이 또는 스큐등으로 인하여 낭비되는 데이터 셋업(data setup)시간을 나타내고, t_3 은 상기 메모리 컨

트롤러 100와 각 메모리 모듈(110, 130 및 150)간 또는 각 메모리장치(111, 113, 115 및 117)간의 신호의 전달시간의 차이 또는 스큐등으로 인하여 낭비되는 데이터 홀드(data hold)시간을 나타낸다. t2는 상기 t1 및 t2로 인하여 축소된 유효데이터 창(valid data window)을 나타낸다.

<19> 종래의 메모리 시스템은 여러개의 반도체 메모리장치(111, 131, 또는 151등)를 연결하여 사용하고, 상기 반도체 메모리장치(111, 131, 또는 151등)의 위치에 따라서 메모리 컨트롤러(100)와 상기 반도체 메모리장치(111, 131, 또는 151등)간의 신호의 전달시간에 차이와 스큐가 있다.

<20> 따라서 상기 전달시간의 차이와 스큐는 데이터 셋업시간 및 데이터 홀드시간을 증가시키고, 상기 메모리 시스템의 최대 동작가능 주파수를 결정하는 상기 유효데이터 창(valid data window)을 감소시키는 문제점이 있다.

<21> 또한 상기 스큐나 상기 전달시간의 차이를 보상하기 위하여 상기 반도체 메모리장치와 상기 메모리 컨트롤러는 내부에 PLL이나 DLL을 사용한다. 이는 반도체 메모리장치와 상기 메모리컨트롤러의 크기를 증가시키는 문제점이 있다. 또한 프로세스, 전압 또는 온도에 영향을 덜 받고 안정적인 PLL또는 DLL의 설계는 반도체 메모리장치의 개발에 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명의 첫번째 목적은 PLL이나 DLL의 사용없이 메모리장치의 위치에 따른 신호의 전달시간의 차이와 스큐를 최소화하는 반도체 메모리장치 또는 메모리 컨트롤러를 제공하는 것이다.

- <23> 본 발명의 두번째 목적은 상기 반도체 메모리장치 및 상기 메모리 컨트롤러를 구비하는 메모리 시스템을 제공하는 것이다.
- <24> 본 발명의 세번째 목적은 메모리 컨트롤러에 의하여 제어되는 상기 반도체 메모리장치로 입력되는 신호의 전달시간의 차이와 스큐를 최소화하는 방법을 제공하는 것이다.
- <25> 본 발명의 네번째 목적은 다수개의 반도체 메모리장치들이 장착되는 메모리 모듈로 출력되는 메모리 컨트롤러의 출력신호를 조절하여 메모리장치의 위치에 따른 신호의 전달시간의 차이와 스큐를 최소화하는 방법을 제공하는 것이다.
- <26> 본 발명이 이루고자하는 다섯번째 목적은 다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들과 상기 메모리 모듈들을 제어하는 메모리 컨트롤러간의 신호를 조절하여 메모리장치의 위치에 따른 신호의 전달시간의 차이와 스큐를 최소화하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <27> 상기 첫 번째 기술적과제를 달성하기 위하여 메모리 컨트롤러에 의하여 제어되는 본 발명에 따른 반도체 메모리 장치는 지연제어 레지스터 및 입력버퍼부를 구비한다.
- <28> 상기 지연제어 레지스터는 상기 메모리 컨트롤러로부터 지연 제어정보를 수신하여 저장하며, 상기 입력버퍼부는 상기 메모리 컨트롤러로부터 명령 신호, 어드레스 신호 및 기입데이터를 수신하여 지연시킨다.
- <29> 상기 입력버퍼부의 지연시간은 상기 지연 제어 레지스터의 출력신호에 응답하여 조절되는 것을 특징으로 한다. 상기 입력버퍼부는 지연제어부, 데이터 입력버퍼부, 어드레스 입력버퍼부 및 명령입력버퍼부를 구비한다.

- <30> 상기 지연제어부는 인에이블 신호에 응답하여 상기 지연제어 레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하며, 상기 데이터 입력버퍼부는 상기 지연제어부의 출력신호에 응답하여 상기 메모리 컨트롤러로부터 기입데이터를 수신하여 상기 기입 데이터를 지연시킨다.
- <31> 상기 어드레스 입력 버퍼부는 상기 지연제어부의 출력신호에 응답하여 상기 메모리 컨트롤러로부터 수신되는 상기 어드레스 신호를 지연시키며, 상기 명령입력버퍼부는 상기 지연제어부의 출력신호에 응답하여 상기 메모리 컨트롤러로부터 수신되는 상기 명령 신호를 지연시킨다.
- <32> 다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들을 제어하는 메모리 컨트롤러는 모듈선택부, 지연제어 레지스터 및 출력버퍼부를 구비한다. 상기 모듈선택부는 클락신호에 응답하여 상기 메모리 모듈들을 선택하는 모듈선택신호를 출력하며, 상기 지연제어 레지스터는 상기 메모리 모듈들의 각각에 장착되는 일련정보 저장장치들로부터 설계명세에 따른 지연제어정보를 수신하여 저장한다.
- <33> 상기 모듈선택신호는 상기 소정의 지연시간을 필요로 하지 않는 메모리모듈을 선택하는 제 1신호, 상기 소정의 지연시간을 필요로 하는 상기 메모리모듈을 선택하는 제 2 신호이다.
- <34> 상기 출력버퍼부는 상기 모듈선택부의 출력신호에 응답하여 내부 명령신호, 내부 어드레스 신호 및 기입데이터를 지연시켜 상기 반도체 메모리장치로 출력하며, 상기 출력버퍼부의 지연시간은 상기 지연제어 레지스터의 출력신호에 응답하여 조절된다.
- <35> 상기 메모리 컨트롤러는 상기 지연제어 레지스터의 출력신호에 응답하여 지연시간

이 조절되고, 상기 반도체 메모리 장치로부터 수신되는 독출데이터를 지연시켜 내부로 출력하는 입력버퍼부를 더 구비한다.

- <36> 상기 출력버퍼부는 지연제어부, 명령출력버퍼부, 어드레스 출력버퍼부 및 데이터 출력버퍼부를 구비한다. 상기 지연제어부는 상기 지연 제어레지스터의 출력신호 및 상기 제 2신호를 수신하여 소정의 지연시간을 설정하며, 상기 명령출력버퍼부는 상기 지연제어부의 출력신호에 응답하여 내부명령신호를 지연하거나 또는 상기 제 1신호에 응답하여 내부명령신호를 지연시킨다..
- <37> 상기 어드레스 출력버퍼부는 상기 지연제어부의 출력신호에 응답하여 내부명령신호를 지연하거나 또는 상기 제 1신호에 응답하여 내부 어드레스신호를 지연시킨다.
- <38> 상기 데이터 출력버퍼부는 상기 지연제어부의 출력신호에 응답하여 기입데이터를 지연하거나 또는 제 1신호에 응답하여 기입데이터를 지연시킨다..
- <39> 상기 입력버퍼부는 지연제어부 및 데이터 입력버퍼부를 구비한다. 상기 지연제어부는 인에이블 신호 및 상기 지연제어레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하며, 상기 데이터 입력버퍼부는 상기 지연제어부의 출력신호에 응답하여 상기 반도체 메모리장치로부터 수신되는 독출데이터를 지연시켜내부로 출력한다.
- <40> 상기 두번째 기술적과제를 달성하기 위한 본 발명에 따른 메모리 시스템은 상기 첫 번째 기술적과제를 달성하기 위한 반도체 메모리 장치와 상기 메모리 컨트롤러를 구비한다.
- <41> 상기 세번째 기술적과제를 달성하기 위하여, 상기 메모리 컨트롤러에 의하여 제어되는 반도체 메모리장치로 입력되는 입력신호의 지연시간을 조절하는 방법은 상기 메모리

리 컨트롤러로부터 지연제어 정보를 수신하고 저장하는 단계, 상기 저장된 지연제어정보에 응답하여 소정의 지연시간을 설정하는 단계 및 상기 소정의 지연시간만큼 상기 반도체 메모리 장치로 입력되는 신호의 지연시간을 조절하는 것이다.

<42> 상기 네번째 기술적과제를 달성하기 위하여, 다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈로 출력되는 메모리 컨트롤러의 출력신호의 지연 시간을 조절하는 방법은 상기 메모리모듈들 각각에 장착되는 일련정보저장장치들로부터 상기 각각의 메모리 모듈의 설계사양에 따른 지연제어정보를 수신하여 저장하는 단계, 클락신호에 응답하여 상기 메모리 모듈들을 선택하는 모듈선택신호를 출력하는 단계, 상기 저장된 지연제어정보 및 제 1신호에 응답하여 소정의 지연시간을 설정하는 단계 및 상기 지연시간만큼 상기 반도체 메모리 장치로 출력되는 출력신호의 지연 시간을 조절하는 것이다.

<43> 상기 지연시간 조절방법은 상기 지연시간만큼 상기 반도체 메모리 장치로부터 상기 메모리 컨트롤러로 입력되는 신호의 지연 시간을 조절하는 단계를 더 구비한다.

<44> 상기 다섯째 기술적과제를 달성하기 위하여, 다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들과 상기 메모리 모듈들을 제어하는 메모리 컨트롤러간의 신호의 지연 시간을 조절하는 방법은 상기 세번째 및 네번째 기술적과제를 달성하기 위한 방법을 포함한다.

<45> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- <46> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.
- <47> 도 3은 본 발명의 일실시예에 따른 메모리 시스템을 나타내는 도면이다. 도 3을 참조하면, 본 발명의 바람직한 실시 예에 따른 메모리 시스템은 컨트롤러(100) 및 복수개의 메모리 모듈들(110, 130 및 150)을 포함한다.
- <48> 상기 복수개의 메모리 모듈들(110, 130 및 150) 각각은 복수개의 메모리 장치(111, 113, 115 및 117 등) 및 일련정보 저장장치(serial presence detect; 이를 SPD라 한다, 220A, 220B 또는 220C)를 포함한다.
- <49> 예컨데, 하나의 일련정보저장장치(220A)는 상기 메모리모듈(110)에 장착된 각각의 메모장치(111, 113, 115, 및 117)의 위치정보를 저장한다. 상기 SPD(220A)에는 메모리 인터페이스 설계시에 특정 모듈(110)상의 각 메모리장치(111, 113, 115, 및 117)에 대하여 신호별로 배선 및 거리 그리고 거리에 따른 동작조건(예컨데 동작전압, 배선물질의 전도도의 차이등을 고려하여 결정된 설계사양) 등이 기록된다.
- <50> 메모리시스템의 초기화시 각 메모리 모듈(110, 130 및 150)에 대한 정보는 시리얼 버스(serial bus)를 통해 상기 SPD(220A, 220B 또는 220C)로부터 컨트롤러 (100)로 보내진다. 따라서 상기 컨트롤러(100)는 메모리 버스상의 상기 메모리 모듈(110, 130 및 150)들 및 상기 각각의 메모리장치(111, 131, 151 등)의 위치를 알수 있다.
- <51> 도 4는 본 발명의 일 실시예에 따른 메모리 컨트롤러 100를 나타내는 도면이다. 도 4를 참조하면, 상기 메모리 컨트롤러(100)는 지연제어 레지스터(400), 출력버퍼부(410)

및 모듈선택부(430)를 구비한다.

- <52> 상기 지연제어 레지스터(400)는 도 3에 도시된 상기 메모리 모듈들(110, 130 및 150)의 각각에 장착되는 일련정보 저장장치들(SPD1, SPD2 및 SPDn)로부터 설계명세에 따른 지연제어정보(DSP)를 수신한다.
- <53> 상기 모듈 선택부(430)는 클락신호(CLK)에 응답하여 상기 메모리 모듈들 (110, 130 및 150)중에서 특정의 메모리 모듈(110, 130 또는 150)을 선택하는 모듈선택신호(MODS1 또는 MODS2)를 출력한다.
- <54> 상기 출력버퍼부(410)는 상기 모듈선택부의 출력신호(MODS1 또는 MODS2)에 응답하여 내부 명령신호(COMI), 내부 어드레스 신호(ADDI) 및 기입데이터(DATI)를 지연시켜 상기 반도체 메모리모듈들(110, 130 또는 150)로 출력하며, 상기 출력버퍼부(410)의 지연시간은 상기 지연제어 레지스터(400)의 출력신호에 응답하여 조절된다.
- <55> 상기 출력버퍼부(410)는 지연제어부(417), 명령출력버퍼부(411), 어드레스 출력버퍼부(413) 및 데이터 출력버퍼부(415)를 구비한다.
- <56> 상기 지연제어부(417)는 상기 지연 제어레지스터(400)의 출력신호 및 상기 제 2신호(MODS2)를 수신하여 소정의 지연시간을 설정하며, 상기 명령출력버퍼부(411)는 상기 지연제어부(417)의 출력신호 및 상기 모듈선택신호(MODS1)에 응답하여 내부 명령신호(COMI)를 지연시킨다.
- <57> 상기 어드레스출력버퍼부(413)는 상기 지연제어부(417)의 출력신호 및 상기 모듈선택신호(MODS1)에 응답하여 내부 어드레스신호(ADDI)를 지연시킨다..
- <58> 상기 데이터 출력버퍼부(415)는 상기 지연제어부(417)의 출력신호 및 상기 모듈선

택신호(MODS1)에 응답하여 기입데이터(DATI)를 지연시킨다..

- <59> 도 4를 참조하면, 상기 메모리 컨트롤러(100)는 입력버퍼부(420)를 더 구비하며, 상기 입력버퍼부(420)는 상기 지연제어 레지스터(400)의 출력신호에 응답하여 지연시간이 조절되고 상기 반도체 메모리 장치들(111 내지 157)로부터 수신되는 독출데이터(read data)를 지연시켜 내부로 출력한다.
- <60> 상기 입력버퍼부(420)는 지연제어부(421) 및 데이터 입력버퍼부(423)를 포함한다. 상기 지연제어부(421)는 인에이블 신호(EN) 및 상기 지연제어레지스터(400)의 출력신호에 응답하여 소정의 지연시간을 설정하며, 상기 데이터 입력버퍼부 (423)는 상기 지연제어부(421)의 출력신호에 응답하여 상기 반도체 메모리장치들 (111 내지 157)로부터 수신되는 독출데이터를 지연시켜 내부로 출력한다.
- <61> 설명의 편의상, 도 3을 참조하여 상기 메모리장치(111 내지 157)들이 장착된 상기 메모리 모듈(110, 130 및 150)이 8개 있다고 가정하여 설명한다.
- <62> 도 3을 참조하면, 상기 메모리 컨트롤러(100)의 각각의 지연제어 레지스터 (400)는 상기 메모리시스템의 초기화시에 활성화된 모듈들(110, 130 또는 150)의 상기 SPD(220A, 220B, 또는 220C) 값을 읽어들이며, 바이오스 (Basic Input/Output System; BIOS)에서 각 모듈(110, 130 또는 150)에 대하여 수신된 신호의 특성에 따라 각각 설정된 설계사양 (specification)에 따라 적당한 지연값을 설정한다.
- <63> 데이터 기입(write data)의 경우, 상기 메모리 컨트롤러(100)로부터 가장 멀리있는 8번째 메모리 모듈(150)의 메모리장치(151 또는 157)를 선택하는 어드레스(MOD)가 상기 모듈선택부(430)에 입력이되면, 상기 모듈선택부(430)은 클락신호 (CLK)에 응답하여

상기 8번째 모듈(150)의 상기 메모리장치(151, 153, 155 또는 157)를 선택하는 모듈선택 신호인 제 1신호(MODS1)을 출력한다. 상기 제 1신호 (MODS1)이 출력되는 경우에는 상기 지연제어부(417)는 활성화되지 않는다. 따라서 내부 명령신호(COMI), 내부 어드레스신호(ADDI) 및 기입데이터(DATI) 지연없이 상기 특정의 메모리장치(151, 153, 155 또는 157)로 출력된다.

<64> 그러나 상기 메모리 컨트롤러(100)로부터 가장 가까이 있는 첫번째 메모리 모듈(110)의 메모리장치(111, 113, 115 또는 117)를 선택하는 어드레스(MOD)가 상기 모듈선택부(430)에 입력되면, 상기 모듈선택부(430)은 클락신호(CLK)에 응답하여 상기 첫번째 모듈(110)의 상기 메모리장치((111, 113, 115 또는 117)를 선택하는 모듈선택신호인 제 2신호(MODS2)을 출력한다. 이경우 상기 제 1신호(MODS1)는 활성화되지 않는다.

<65> 따라서 상기 지연제어부(417)는 상기 제 2신호(MODS2) 및 상기 지연제어레지스터(400)에 저장되어있는 상기 지연제어정보에 응답하여 소정의 지연시간을 설정한다. 상기의 지연시간은 상기 일련정보저장장치(SPD)에 저장된 값에 의하여 미리 설정된 값으로 각각의 상기 메모리 장치간 또는 메모리 모듈간의 스큐(skew)나 신호지연의 차를 최소화 하는 값이다. 상기 소정의 지연시간은 상기 명령출력버퍼부 (411), 상기 어드레스 출력버퍼부(413) 및 상기 데이터출력버퍼부(415)의 지연시간에 상응한다.

<66> 따라서 상기 내부 명령신호(COMI), 내부 어드레스신호(ADDI) 및 기입데이터 (DATI)는 소정의 지연시간만큼 지연되어 상기 메모리장치(111 내지 157)로 출력된다. 두번째 내지 7번째 메모리 모듈의 경우도 첫번째 메모리 모듈을 선택하는 동작과 동일하다.

<67> 결국 프로그램된 상기 출력버퍼부(410)의 턴온(turn-on)시간은 상기 메모리 모듈간(110, 130 또는 150) 또는 상기 메모리장치(111 내지 157)간의 신호의 지연시간과 스큐

(skew)를 최소화한다.

<68> 데이터 독출(read data)의 경우에, 상기 메모리 컨트롤러(100)로부터 가장 멀리있는 8번째 메모리 모듈(150)의 메모리장치(151, 153, 155 또는 157)에 저장된 데이터를 상기 메모리 컨트롤러(100)로 독출하는 경우는 지연없이 데이터를 독출하며, 상기 메모리 컨트롤러(100)로부터 가장 가까이 있는 첫번째 메모리모듈(110)의 메모리장치(111, 113, 115 또는 117)의 데이터는 가장 멀리있는 8번째 메모리 모듈(150)의 메모리장치(151, 153, 155 또는 157)의 데이터가 상기 메모리 컨트롤러(100)에 도달하는 시간을 기준으로 입력버퍼부(420)의 지연시간을 조절하여 독출된다.

<69> 도 5는 본 발명의 일 실시예에 따른 메모리 장치를 나타내는 도면이다. 도 5를 참조하면, 상기 메모리 장치(111)은 지연제어 레지스터(500), 입력버퍼부(510) 및 메모리 셀 어레이(520)로 구성된다. 상기 지연제어 레지스터(500)는 상기 메모리컨트롤러(100)로부터 지연 제어정보(DS)를 수신하여 저장한다.

<70> 상기 지연제어레지스터(500)는 상기 지연제어정보(DS)를 수신하여 메모리 시스템 초기화시에 각 메모리장치에 대한 지연시간을 설정한다.

<71> 상기 입력버퍼부(510)은 상기 메모리 컨트롤러(100)로부터 명령 신호(COM), 어드레스 신호(ADD)및 기입데이터(DAT)를 수신하여 지연시키며, 상기 입력버퍼부 (510)의 지연시간은 상기 지연 제어 레지스터(500)의 출력신호에 응답하여 조절된다.

<72> 상기 입력버퍼부(510)는 명령입력버퍼부(511), 어드레스 입력버퍼부(513), 데이터 입력버퍼부(515) 및 지연제어부(517)를 구비한다. 상기 지연제어부(517)는 인에이블신호(EN) 및 상기 지연제어 레지스터(500)에 설정된 상기 지연제어정보에 응답하여 소정의

지연시간을 설정한다.

- <73> 상기 입력버퍼부(511)는 상기 지연제어부(517)의 출력신호에 응답하여 상기 기입 데이터(DAT)를 상기 지연시간만큼 지연시켜 버퍼링하며, 상기 어드레스 입력버퍼부(513)는 상기 지연제어부(517)의 출력신호에 응답하여 상기 어드레스 신호 (ADD)를 상기 지연시간만큼 지연시켜 버퍼링한다.
- <74> 상기 명령입력 버퍼부(511)는 상기 지연제어부(517)의 출력신호에 응답하여 상기 명령 신호(COM)를 상기 지연시간만큼 지연시켜 버퍼링한다.
- <75> 상기 메모리 장치(111 내지 157)로의 데이터 기입(write data)의 동작을 좀더 설명한다. 상기 메모리 컨트롤러(100)로부터 가장 긴 도달지연시간을 갖는 메모리 장치(157)를 기준으로 나머지 메모리 장치(111, 113, 115)들에 대하여 입력버퍼의 지연시간이 조절된다.
- <76> 상기 메모리 컨트롤러(100)로부터 멀리있는 메모리장치(157)로 데이터를 기입할 경우 상기 입력버퍼의 버퍼링시간은 짧으나, 상기 메모리 컨트롤러(100)로부터 가까이 있는 메모리장치(111)로 데이터를 기입할 경우에는 상기 입력버퍼의 버퍼링시간은 길어진다.
- <77> 데이터 독출(read data)의 경우에는 상기 메모리장치(157)에서 상기 메모리 컨트롤러(100)로 데이터를 전송하므로 상기 메모리 컨트롤러(100)에서 지연시간을 조절한다. 도 4에서 설명하였듯이 상기 지연시간은 상기 메모리 컨트롤러(100)에서 가장 멀리 있는 메모리장치(157)를 기준으로 설정된다.
- <78> 도 6은 종래의 기술(a)과 본 발명의 일 실시예(b)를 적용한 메모리 시스템의 유효

데이터 창을 비교하는 타이밍 다이어그램이다. 도 6의 (a)는 종래의 기술에 의하여 도달 시간의 차이로 인하여 발생하는 스큐와 이로인한 유효 데이터 창의 축소를 나타내는 도면이다.

<79> t1은 지연시간의 차이와 스큐등으로 데이터 셋업(data setup)시에 낭비되는 시간을 나타내며, t3은 지연시간의 차이와 스큐등으로 데이터 홀드(data setup)시에 낭비되는 시간을 나타내며, t2은 t1 및 t3로 인하여 축소된 유효 데이터창을 나타낸다.

<80> 도 6의 (b)는 본 발명에 의한 유효이터 창을 나타내는 도면이다. t1'은 지연시간의 차이와 스큐등으로 데이터 셋업(data setup)시에 낭비되는 시간을 나타내며, t3'은 지연 시간의 차이와 스큐등으로 데이터 홀드(data setup)시에 낭비되는 시간을 나타내며, t2'은 t1' 및 t3'로 인하여 축소된 유효 데이터창을 나타낸다.

<81> 그러나 도 6 (b)는 t1' 및 t3'가 감소하므로, 본 발명은 종래의 발명과 비교하여 더 작은 주기내에 유효 데이터 창을 확보할 수 있으며, 이를 통하여 메모리장치 또는 메모리 시스템을 높은 동작주파수대역에서 안정적으로 동작시킬 수 있다.

<82> 도 4를 참조하면, 다수개의 반도체 메모리 장치(111 내지 157)들이 장착되는 메모리 모듈(110, 130 또는 150)로 출력되는 메모리 컨트롤러(100)의 출력신호의 지연시간을 조절하는 방법이 설명된다.

<83> 상기 메모리모듈들(110, 130 및 150) 각각에 장착되는 일련정보저장장치들 (SPD1 SPD2 또는 SPDn)로부터 상기 각각의 메모리 모듈(110, 130 및 150)의 설계사양에 따른 지연제어정보(DSP)를 수신하여 저장한다.

<84> 다음에 클락신호(CLK)에 응답하여 상기 메모리 모듈들(110, 130 및 150)을 선택하

는 모듈선택신호(MODS1 또는 MODS2)를 출력하고, 상기 저장된 지연제어정보 및 제 1신호(SPD1)에 응답하여 소정의 지연시간을 설정한다. 상기 모듈선택신호(MODS1 또는 MODS2)는 상기 소정의 지연시간을 필요로 하지 않는 메모리모듈(150)을 선택하는 제 1신호(MODS1) 및 상기 소정의 지연시간을 필요로 하는 메모리모듈(110, 130)을 선택하는 제 2신호(MODS2)를 포함한다.

<85> 그리고 상기 지연시간만큼 상기 반도체 메모리장치(111 내지 157)장치로 출력되는 출력신호의 지연 시간을 조절한다. 상기 출력신호는 명령 신호, 어드레스 신호 및 기입 데이터를 포함한다.

<86> 또한 상기 지연시간 조절방법은 상기 지연시간만큼 상기 반도체 메모리 장치 (111 내지 157)로부터 상기 메모리 컨트롤러로 입력되는 신호의 지연 시간을 조절하는 단계를 더 구비한다.

<87> 도 5를 참조하여 본 발명에 따른 메모리 컨트롤러(100)에 의하여 제어되는 반도체 메모리 장치(111 내지 157)로 입력되는 입력신호의 지연시간을 조절하는 방법이 좀 더 설명된다.

<88> 우선 상기 메모리 컨트롤러(100)로부터 지연제어 정보(DS)를 수신하고 저장한다. 다음에 상기 저장된 지연제어정보에 응답하여 소정의 지연시간을 설정하고 상기 소정의 지연시간만큼 상기 반도체 메모리 장치로 입력되는 신호의 지연시간을 조절한다. 상기 입력신호는 명령 신호, 어드레스 신호 및 기입데이터를 포함한다.

<89> 따라서 메모리장치 또는 메모리 컨트롤러내에 지연시간을 설정한 지연 제어레지스터를 이용하여 지연시간을 설정하여 각 메모리장치간 또는 메모리 모듈간에 보상이 필요한만

큼 시간을 지연하여 입출력 버퍼를 턴온함으로써 각 메모리 장치간의 지연시간의 차이를 최소화한다. 또한 각 메모리장치간의 스큐의 발생을 최소화하여 메모리장치와 메모리 컨트롤러가 포인트 대 포인트로 데이터를 주고 받는 것처럼 구현하여 메모리 장치의 동작 주파수를 극대화할 수 있다.

<90> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<91> 상술한 바와 같이, 본 발명에 따른 메모리장치나 메모리컨트롤러 및 메모리 시스템은 입출력버퍼에 프로그램가능한 지연시간을 추가하여, 상기 지연시간이 입출력버퍼의 지연시간을 조절하므로 상기 메모리장치와 상기 메모리 컨트롤러사이의 위치에 따른 신호의 전달시간의 차이와 스큐를 최소화한다.

<92> 따라서 메모리시스템이나 특정 메모리 모듈상의 특정위치에 있는 메모리 장치와 메모리컨트롤러는 마치 포인트 대 포인트(point-to-point)전송과 같이 데이터를 입출력할 수 있어 높은 메모리 동작주파수 대역을 구현하는 장점이 있다.

【특허청구범위】**【청구항 1】**

메모리 컨트롤러에 의하여 제어되는 반도체 메모리 장치에 있어서,
상기 메모리 컨트롤러로부터 지연 제어정보를 수신하여 저장하는 지연제어 레지스터;
상기 메모리 컨트롤러로부터 명령 신호, 어드레스 신호 및 기입데이터를 수신하여 지연시키는입력버퍼부를 구비하고,
상기 입력버퍼부의 지연시간이 상기 지연 제어 레지스터의 출력신호에 응답하여 조절되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 입력버퍼부는,
상기 지연제어 레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하는 지연 제어부;
상기 지연제어부의 출력신호에 응답하여 상기 기입 데이터를 지연시키는 데이터 입력 버퍼부;
상기 지연제어부의 출력신호에 응답하여 상기 어드레스 신호를 지연시키는 어드레스 입력 버퍼부; 및
상기 지연제어부의 출력신호에 응답하여 상기 명령 신호를 지연시키는 명령 입력 버퍼부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들을 제어하는 메모리 컨트롤러에 있어서,

클락신호에 응답하여 상기 메모리 모듈들을 선택하는 모듈선택신호를 출력하는 모듈선택부;

상기 메모리 모듈들의 각각에 장착되는 일련정보 저장장치들로부터 설계명세에 따른 지연제어정보를 수신하여 저장하는 지연제어 레지스터; 및

상기 모듈선택부의 출력신호에 응답하여 내부 명령신호, 내부 어드레스 신호 및 기입데이터를 지연시켜 상기 반도체 메모리장치로 출력하는 출력버퍼부를 구비하고,

상기 출력버퍼부의 지연시간이 상기 지연제어 레지스터의 출력신호에 응답하여 조절되는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 4】

제 3항에 있어서, 상기 메모리 컨트롤러는,

상기 지연제어 레지스터의 출력신호에 응답하여 지연시간이 조절되고 상기 반도체 메모리 장치로부터 수신되는 독출데이터를 지연시켜내부로 출력하는 입력버퍼부를 더 구비하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 5】

제 3항에 있어서, 상기 모듈선택신호는,

상기 소정의 지연시간을 필요로 하지 않는 메모리모듈을 선택하는 제 1신호 및

상기 소정의 지연시간을 필요로 하는 메모리모듈을 선택하는 제 2신호를 구비되는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 6】

제 5항에 있어서, 상기 출력버퍼부는,

상기 지연 제어레지스터의 출력신호 및 상기 제 2신호를 수신하여 소정의 지연시간을 설정하는 지연제어부;

상기 지연제어부의 출력신호 및 상기 제 1신호에 응답하여 명령신호를 지연시키는 명령 출력버퍼부;

상기 지연제어부의 출력신호 및 상기 제 1신호에 응답하여 어드레스신호를 지연시키는 어드레스 출력버퍼부;

상기 지연제어부의 출력신호 및 상기 제 1신호에 응답하여 기입데이터를 지연시키는 출력버퍼부를 구비하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 7】

제 4항에 있어서, 상기 입력버퍼부는,

상기 지연제어레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하는 지연제어부 및

상기 지연제어부의 출력신호에 응답하여 상기 반도체 메모리 장치로부터 수신되는 독출데이터를 지연시켜 내부로 출력하는 데이터 입력버퍼부를 구비하는 것을 특징으로 하는 메모리 컨트롤러.

【청구항 8】

다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들과 상기 메모리 모듈들을 제어하는 메모리 컨트롤러를 포함하는 메모리 시스템에 있어서,

상기 각각의 메모리 모듈들은 상기 메모리 모듈의 설계사양에 따른 소정의 지연 제어정보를 저장하는 일련정보 저장장치를 구비하며,

상기 메모리 컨트롤러는 상기 일련정보 저장장치로부터 상기 소정의 지연 제어정보를 수신하여 저장하는 지연 제어 레지스터 및

상기 지연 제어 레지스터의 출력신호에 응답하여 지연시간이 조절되고 명령 신호, 어드레스 신호 및 기입데이터를 지연시켜 상기 반도체 메모리장치로 출력하는 출력버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 9】

제 8항에 있어서, 상기 메모리 컨트롤러는,

상기 지연 제어 레지스터의 출력신호에 응답하여 지연시간이 조절되고 상기 반도체 메모리 장치로 부터 수신되는 독출데이터를 지연시켜 내부로 출력하는 입력버퍼부를 더 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 10】

제 9항에 있어서, 상기 입력버퍼부는,

인에이블 신호 및 상기 지연 제어 레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하는 지연 제어부 및

상기 지연 제어부의 출력신호에 응답하여 상기 반도체 메모리 장치로부터 수신되는

독출데이터를 지연시켜 내부로 출력하는 데이터 입력버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 11】

제 8항에 있어서, 상기 출력버퍼부는,

상기 지연 제어레지스터의 출력신호 및 상기 제 2신호를 수신하여 소정의 지연시간을 설정하는 지연제어부;

상기 지연제어부의 출력신호 및 제 1신호에 응답하여 명령신호를 지연시키는 명령 출력버퍼부;

상기 지연제어부의 출력신호 및 제 1신호에 응답하여 어드레스신호를 지연시키는 어드레스 출력버퍼부;

상기 지연제어부의 출력신호 및 제 1신호에 응답하여 기입데이터를 지연시키는 데이터 출력버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 12】

제 8항에 있어서, 상기 반도체 메모리장치들 각각은,

상기 메모리 컨트롤러로부터 지연 제어정보를 수신하여 저장하는 지연제어 레지스터;

상기 메모리 컨트롤러로부터의 명령 신호, 어드레스 신호 및 기입데이터를 수신하여 지연시키는 입력버퍼부를 구비하고,

상기 입력버퍼부의 지연시간이 상기 지연 제어 레지스터의 출력신호에 응답하여 조절되는 것을 특징으로 하는 메모리 시스템.

【청구항 13】

제 12항에 있어서, 상기 입력버퍼부는,

상기 지연 제어레지스터의 출력신호에 응답하여 소정의 지연시간을 설정하는 지연 제어부;

상기 지연제어부의 출력신호에 응답하여 상기 기입 데이터를 지연시키는 데이터 입력 버퍼부;

상기 지연제어부의 출력신호에 응답하여 상기 어드레스 신호를 지연시키는 어드레스 입력 버퍼부; 및

상기 지연제어부의 출력신호에 응답하여 상기 명령 신호를 지연시키는 명령 입력버퍼부를 구비하는 것을 특징으로 하는 메모리 시스템.

【청구항 14】

메모리 컨트롤러에 의하여 제어되는 반도체 메모리 장치로 입력되는 입력신호의 지연시간을 조절하는 방법에 있어서,

(a) 상기 메모리 컨트롤러로부터 지연제어 정보를 수신하고 저장하는 단계;

(b) 상기 저장된 지연제어정보에 응답하여 소정의 지연시간을 설정하는 단계;

(c) 상기 소정의 지연시간만큼 상기 반도체 메모리 장치로 입력되는 신호의 지연시간을 조절하는 것을 특징으로 하는 지연시간 조절방법.

【청구항 15】

제 14항에 있어서, 상기 입력신호는 명령 신호, 어드레스 신호 및 기입데이터인 것을 특징으로 하는 지연시간 조절방법.

【청구항 16】

다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈로 출력되는 메모리 컨트롤러의 출력신호의 지연시간을 조절하는 방법에 있어서,

(a) 상기 메모리모듈들 각각에 장착되는 일련정보저장장치들로부터 상기 각각의 메모리 모듈의 설계사양에 따른 지연제어정보를 수신하여 저장하는 단계;

(b) 클락신호에 응답하여 상기 메모리 모듈들을 선택하는 모듈선택신호를 출력하는 단계;

(c) 상기 저장된 지연제어정보 및 제 1신호에 응답하여 소정의 지연시간을 설정하는 단계 및

(d) 상기 지연시간만큼 상기 반도체 메모리 장치로 출력되는 출력신호의 지연 시간을 조절하는 것을 특징으로 하는 지연시간 조절방법.

【청구항 17】

제 16항에 있어서, 상기 지연시간 조절방법은.

상기 지연시간만큼 상기 반도체 메모리 장치로부터 상기 메모리 컨트롤러로 입력되는 신호의 지연 시간을 조절하는 단계를 더 구비하는 것을 특징으로 하는 지연시간 조절 방법.

【청구항 18】

제 16항에 있어서, 상기 출력신호는 명령 신호, 어드레스 신호 및 기입데이터인 것을 특징으로 하는 지연시간 조절방법.

【청구항 19】

제 16항에 있어서, 상기 모듈선택신호는,
상기 소정의 지연시간을 필요로 하지 않는 메모리모듈을 선택하는 제 1신호 및
상기 소정의 지연시간을 필요로 하는 메모리모듈을 선택하는 제 2신호로 구성되는
것을 특징으로 하는 모듈선택신호.

【청구항 20】

다수개의 반도체 메모리 장치들이 장착되는 메모리 모듈들과 상기 메모리 모듈들을
제어하는 메모리 컨트롤러간의 신호의 지연 시간을 조절하는 방법에 있어서,

- (a) 상기 메모리모듈들 각각에 장착되는 일련정보저장장치들로부터 상기 각각의
메모리 모듈의 설계사양에 따른 지연제어정보를 수신하여 저장하는 단계;
- (b) 클락신호에 응답하여 상기 메모리 모듈들을 선택하는 모듈선택신호를 출력하는
단계;
- (c) 상기 저장된 지연제어정보 및 제 1신호에 응답하여 소정의 지연시간을 설정하
는 단계;
- (d) 상기 지연시간만큼 상기 지연제어정보를 상기 반도체 메모리 장치로 출력하는
단계;
- (e) 상기 메모리 컨트롤러로부터 상기 지연제어 정보를 수신하고 저장하는 단계;
- (f) 상기 저장된 지연제어정보에 응답하여 소정의 지연시간을 설정하는 단계;
- (g) 상기 소정의 지연시간만큼 상기 반도체 메모리 장치로 입력되는 신호의 지연
시간을 조절하는 것을 특징으로 하는 지연시간 조절방법.

【청구항 21】

제 20항에 있어서, 상기 신호는 명령 신호, 어드레스 신호 및 기입데이터인 것을 특징으로 하는 지연시간 조절방법.

【청구항 22】

제 20항에 있어서, 상기 지연 시간은,

상기 소정의 지연시간만큼 상기 반도체 메모리 장치로부터 상기 메모리 컨트롤러로 입력되는 신호의 지연 시간을 조절하는 단계를 더 구비하는 것을 특징으로 하는 지연시간 조절방법.

【청구항 23】

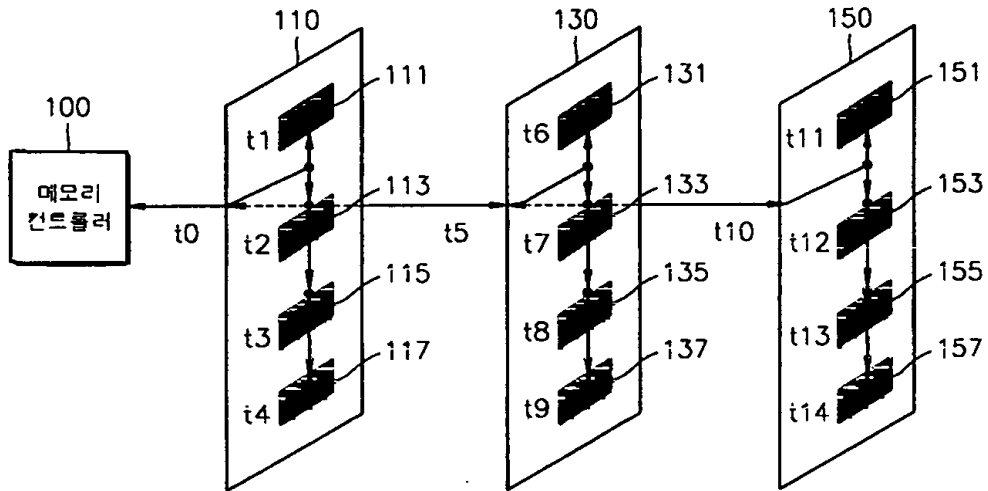
제 20항에 있어서, 상기 모듈선택신호는,

상기 소정의 지연시간을 필요로 하지 않는 메모리모듈을 선택하는 제 1신호 및

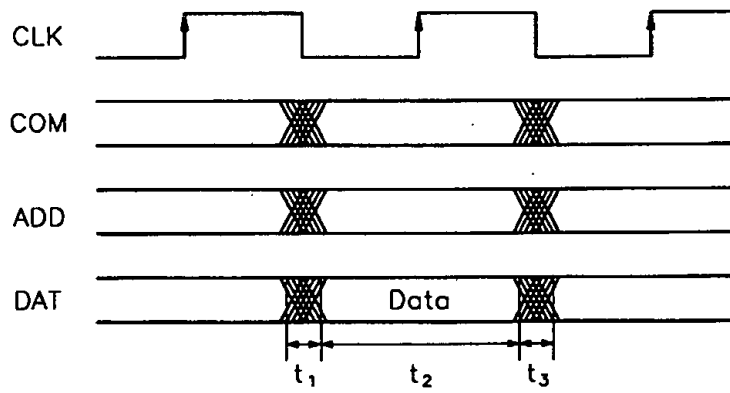
상기 소정의 지연시간을 필요로 하는 메모리모듈을 선택하는 제 2신호로 구성되는 것을 특징으로 하는 모듈선택신호.

【도면】

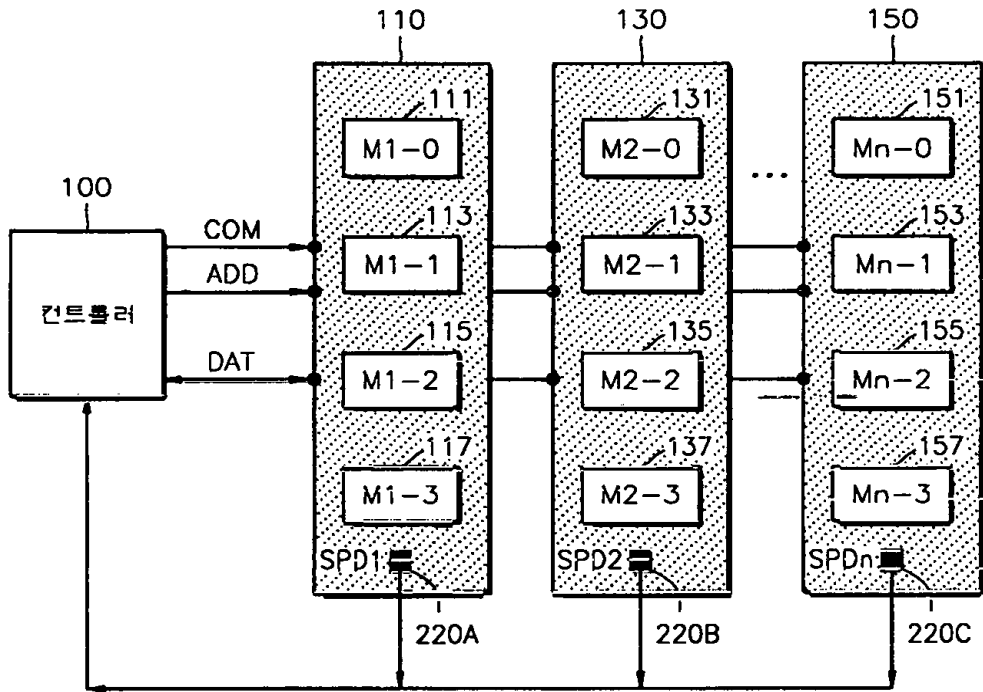
【도 1】



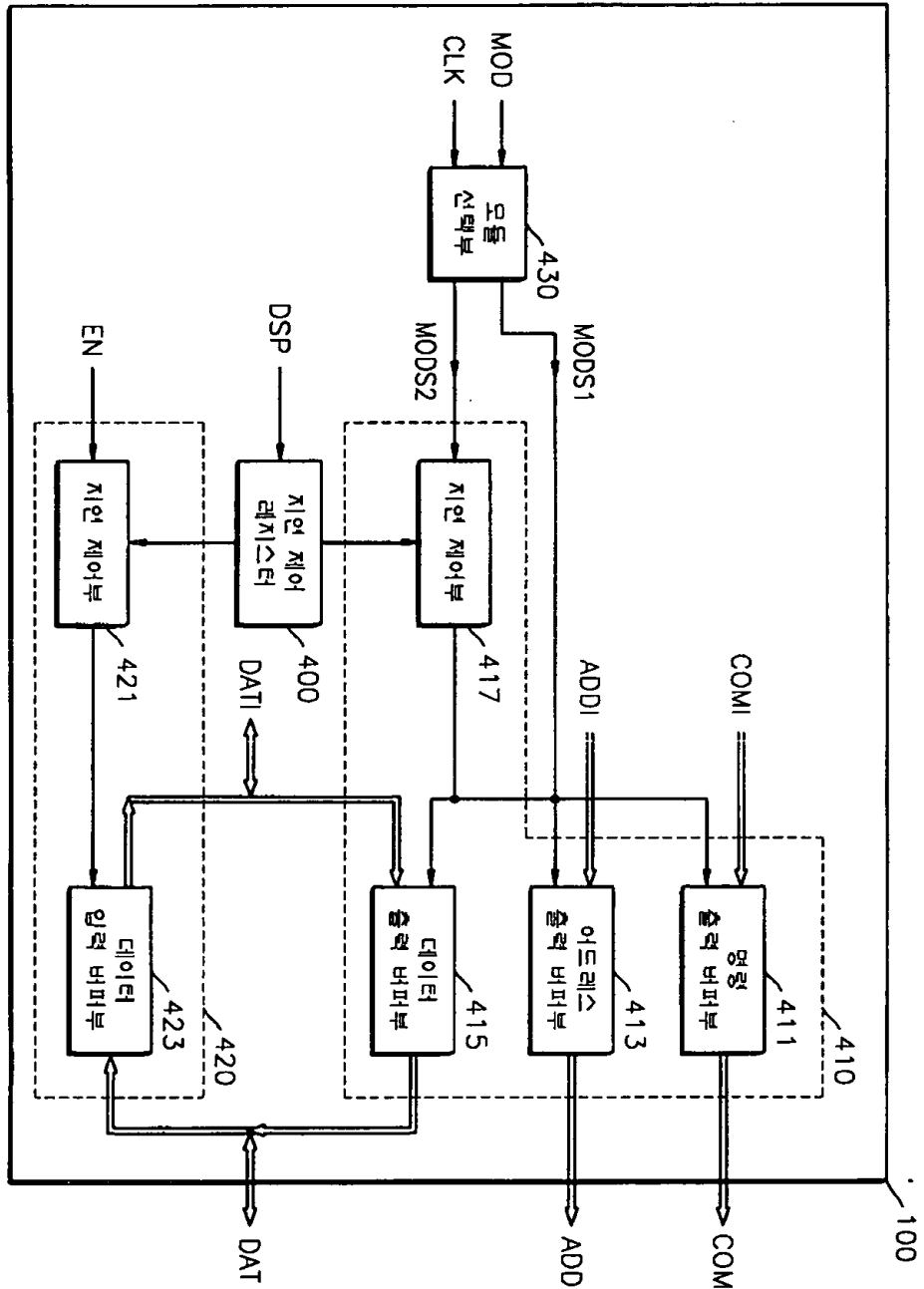
【도 2】



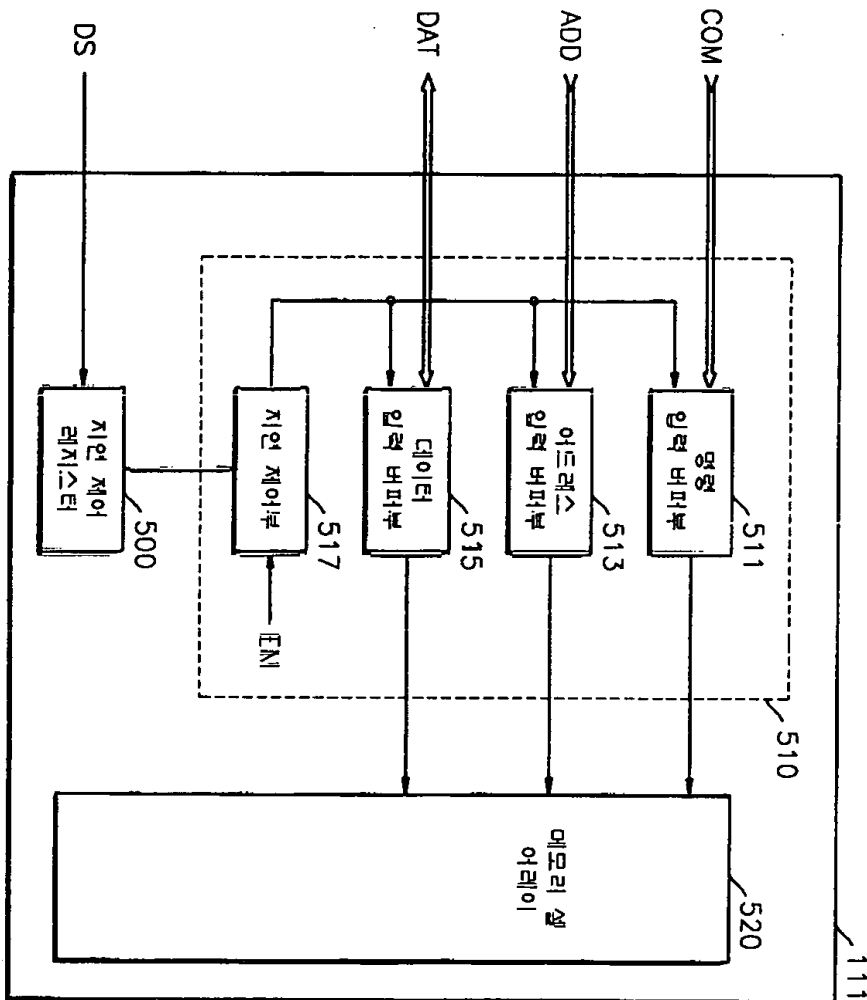
【도 3】



【도 4】



【표 5】



【도 6】

